

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2003258360
PUBLICATION DATE : 12-09-03

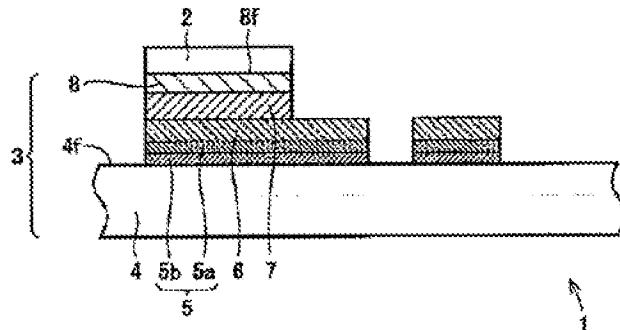
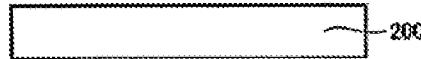
APPLICATION DATE : 06-03-02
APPLICATION NUMBER : 2002060764

APPLICANT : SUMITOMO ELECTRIC IND LTD;

INVENTOR : CHIKUGI YASUSHI;

INT.CL. : H01S 5/022 H01L 33/00

TITLE : SUBMOUNT AND SEMICONDUCTOR DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To provide a submount whereto a semiconductor light emitting element can be fixed surely.

SOLUTION: A submount 3 is provided with a substrate 4 and a solder layer 8 formed on a main surface 4f of the substrate 4. Surface roughness Ra of the solder layer 8 before melting is 0.18 µm or less. Further preferably, the surface roughness Ra of the solder layer 8 is 0.10 µm or less. A semiconductor device 1 has a laser diode 2 mounted on the solder layer 8 of the submount 3.

COPYRIGHT: (C)2003,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-258360

(P2003-258360A)

(43)公開日 平成15年9月12日 (2003.9.12)

(61)Int.Cl.⁷

H 0 1 S 5/022
H 0 1 L 33/00

統別記号

F I

ナ-73-1(参考)

H 0 1 S 5/022
H 0 1 L 33/00

5 F 0 4 1
N 5 F 0 7 3

審査請求 未請求 請求項の数11 O.L (全 10 頁)

(21)出願番号

特願2002-60764(P2002-60764)

(22)出願日

平成14年3月6日 (2002.3.6)

(71)出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目 5番33号

(72)発明者 天羽 咲夫

兵庫県伊丹市星陽北一丁目1番1号 住友
電気工業株式会社伊丹製作所内

(72)発明者 石井 隆

兵庫県伊丹市星陽北一丁目1番1号 住友
電気工業株式会社伊丹製作所内

(74)代理人 100084746

弁理士 深見 久郎 (外4名)

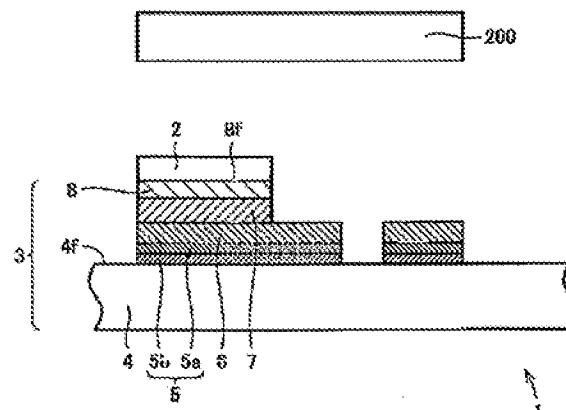
最終頁に続く

(54)【発明の名称】 サブマウントおよび半導体装置

(57)【要約】

【課題】 確実に半導体発光素子を取りつけることができるサブマウントを提供する。

【解決手段】 サブマウント3は、基板4と、基板4の主表面4₁上に形成されたはんだ層8とを備える。溶融前のはんだ層8の表面粗さRaは0.18μm以下である。好ましくは、はんだ層8の表面粗さRaが0.15μm以下である。さらに好ましくは、はんだ層8の表面粗さRaが0.10μm以下である。半導体装置1は、サブマウント3のはんだ層8上に描載されたレーザダイオード2を備える。



【特許請求の範囲】

【請求項1】 サブマウント基板と、前記サブマウント基板の主表面上に形成されたはんだ層とを備え、溶融前の前記はんだ層の表面粗さRaは0.18μm以下である、サブマウント。

【請求項2】 前記はんだ層の表面粗さRaが0.15μm以下である、請求項1に記載のサブマウント。

【請求項3】 前記はんだ層の表面粗さRaが0.10μm以下である、請求項1に記載のサブマウント。

【請求項4】 前記はんだ層に含まれるはんだの平均粒径が3.5μm以下である、請求項1から3のいずれか1項に記載のサブマウント。

【請求項5】 前記サブマウント基板の主表面の表面粗さRaは0.10μm以下である、請求項1から4のいずれか1項に記載のサブマウント。

【請求項6】 前記サブマウント基板と前記はんだ層との間に形成されたはんだバリア層をさらに備えた、請求項1から5のいずれか1項に記載のサブマウント。

【請求項7】 前記サブマウント基板と前記はんだバリア層との間に形成された電極層をさらに備えた、請求項6に記載のサブマウント。

【請求項8】 前記サブマウント基板と前記はんだバリア層との間ににおいて、前記サブマウント基板の主表面に接触するように形成された密着層と、

前記密着層上に形成された拡散防止層とをさらに備え、前記電極層は前記拡散防止層上に配置されている、請求項7に記載のサブマウント。

【請求項9】 前記密着層はチタンを含み、前記拡散防止層は白金を含み、前記電極層は金を含み、前記はんだバリア層は白金を含み、前記はんだ層は金錫系はんだを含む、請求項8に記載のサブマウント。

【請求項10】 前記サブマウント基板は窒化アルミニウム焼結体を含む、請求項1～9のいずれか1項に記載のサブマウント。

【請求項11】 請求項1～10のいずれか1項に記載のサブマウントを用いた半導体装置であって、前記はんだ層上に搭載された半導体発光素子を備える、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、サブマウントおよびそれを用いた半導体装置に関し、より特定的には、半導体発光素子を搭載するサブマウントおよびこのサブマウントを用いた半導体装置に関する。なお、本発明の「半導体発光素子」とは、例えば、レーザーダイオードや発光ダイオードのようなものを指す。

【0002】

【従来の技術】従来、半導体発光素子を備える半導体装置が知られている。このような半導体装置の一種は、図

5に示すようにサブマウント103に半導体発光素子を搭載することにより製造される。図5および図6は、従来の半導体装置の製造方法を説明するための断面模式図である。図5を参照して、従来の半導体装置の製造方法を説明する。

【0003】図5に示すように、従来の半導体装置の製造方法では、まず半導体発光素子を搭載するためのサブマウント103を準備する。サブマウント103は、セラミックの基板104と、基板104上に形成されたチタン(Ti)を含む膜および白金(Pt)を含む膜の積層膜105(Ti/Pt積層膜105)と、このTi/Pt積層膜105上に形成された電極層としての金(Au)膜106と、このAu膜106上に形成された白金(Pt)を含むはんだバリア層107と、はんだバリア層107上に形成された金(Au)錫(Sn)系はんだを含むはんだ108とからなる。サブマウント103において、Ti/Pt積層膜105、Au膜106、はんだバリア層107およびはんだ108を形成する方法は、従来の蒸着法、スパッタリング法あるいはめっき法などの成膜方法およびフォトリソグラフィ法あるいはメタルマスク法などのパターニング方法を用いることができる。

【0004】図5に示したようなサブマウント103を準備した後、サブマウント103のはんだ108を加熱・溶融する。検出手段200が、はんだ108が溶融したかどうかを画像認識する。具体的には、はんだ108が溶融する前は、はんだからの反射光が多いので、画像認識の2値化手法により、はんだ108の色を「白」と認識する。はんだ108が溶融すると、はんだ108からの反射光が少なくなるので、同様に、はんだ108の色を「黒」と認識する。

【0005】図6で示すように、検出手段200がはんだ108の色を「黒」と認識した後、半導体発光素子としてのレーザーダイオード102をはんだ108上の所定の位置に搭載する(ダイボンド工程を実施する)。その後、はんだ108を冷却して凝固させる。この結果、はんだ108によってレーザーダイオード102がサブマウント103上に接着固定される。この後、図示しないヒートシンクにサブマウント103の裏面側をはんだなどで接続・固定することにより、半導体発光素子を備える半導体装置を得ることができる。

【0006】

【発明が解決しようとする課題】図5および図6に示したような工程により製造される従来の半導体装置では、以下のようないくつかの問題があった。すなわち、検出手段200でははんだ108の色を認識する場合に、はんだ108の表面粗さが大きいと、はんだ108の表面で光が乱反射して、検出手段200に十分な量の光が入射しない。そのため、検出手段200が溶融前のはんだ108の色を黒と認識してしまう。その結果、ダイボンド装置にエラ

一が発生し停止してしまうか、溶融前のはんだ108にレーザーダイオード102が押し付けられ、レーザーダイオード102がサブマウント103に取りつけられないという問題があった。

【0007】この発明は、上記のような課題を解決するためになされたものであり、この発明の目的は、高い歩留りで半導体発光素子を正常に取り付けることができる溶融前はんだ層を具備したサブマウントおよびそのサブマウントを用いた半導体装置を提供することである。

【0008】

【課題を解決するための手段】この発明に従ったサブマウントは、サブマウント基板と、サブマウント基板の主表面上に形成されたはんだ層とを備える。このはんだ層の溶融前の表面粗さRaは0.18μm以下である。

【0009】このように構成されたサブマウントでは、溶融前のはんだ層の表面粗さRaが0.18μm以下と小さいため、はんだ層の表面での光の乱反射が少ない。このため、検出手段ではんだ層表面の色を画像認識する際に、層表面の状態変化に対し、より忠実に反応することができる。その結果、半導体発光素子が正常にはんだづけされる確率を高めることができる。好ましくは、はんだ層の表面粗さRaが0.15μm以下であり、さらに好ましくは、Raが0.10μm以下である。なお、はんだ層の表面粗さRaは、JIS B 0601で規定される方法で測定される。

【0010】好ましくは、溶融前のはんだ層に含まれるはんだの平均粒径が3.5μm以下であり、さらに好ましくは、2μm以下である。この場合、はんだの平均粒径が小さくなるため、はんだ層の表面で、光の乱反射をさらに防止することができる。

【0011】好ましくは、サブマウント基板の主表面の表面粗さRaは0.10μm以下、さらに好ましくは0.05μm以下である。基板の表面粗さRaが小さい程、基板の凹凸がはんだ層に転写されて、はんだ層の表面粗さRaが大きくなることを抑制することができる。その結果、はんだ層の表面での光の乱反射をより一層少なくすることができます。

【0012】また、サブマウント基板とはんだ層との間に形成されたはんだバリア層をさらに備えていてもよい。

【0013】また、サブマウント基板とはんだバリア層との間に形成された電極層をさらに備えていてもよい。この場合、電極層を、はんだ層の下地膜として利用することもできる。

【0014】また、サブマウント基板とはんだバリア層との間に、サブマウント基板の表面に接触するようになされた密着層と、密着層上に形成された拡散防止層とを備えていてもよい。この場合、電極層は拡散防止層上に配置されている。

【0015】また、密着層はチタンを含み、拡散防止層

は白金を含み、電極層は金を含み、はんだバリア層は白金を含み、はんだ層は金錫系はんだを含む構成としてもよい。

【0016】好ましくは、サブマウント基板は窒化アルミニウム焼結体を含む。この場合、窒化アルミニウムは熱伝導率が高いため、放熱特性の優れたサブマウントを得ることができる。

【0017】この発明に従った半導体装置は、上述のいずれかのサブマウントと、はんだ層上に搭載された半導体発光素子を備える。このような半導体装置では、正常なはんだ層の状態でタイミングよくサブマウント上に半導体発光素子を搭載することができる。

【0018】

【発明の実施の形態】以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付しその説明は繰返さない。

【0019】図1は、本発明による半導体装置の実施の形態1を示す断面模式図である。図1に示すように、半導体装置1は、サブマウント3に半導体発光素子としてのレーザーダイオード2が搭載された構造を有している。サブマウント3は、例えば、窒化アルミニウム(AIN)を含む焼結体からなるサブマウント用の基板4と、密着層としてのチタン(Ti)膜5bおよび拡散防止層としての白金(Pt)膜5aの積層膜5(Ti/Pt積層膜5)と、このTi/Pt積層膜5上に形成された電極層としての金(Au)膜6と、このAu膜6上に形成され、白金(Pt)を含むはんだバリア層7と、はんだバリア層7上に形成された金(Au)錫(Sn)系はんだを含むはんだ層8とからなる。

【0020】図1に示すように、レーザーダイオード2と、サブマウント3とは、はんだ層8によって接続されている。レーザーダイオード2の幅と、はんだ層8の幅と、はんだバリア層7の幅は、ほぼ等しい。はんだ層8の幅および長さは、レーザーダイオード2の幅および長さよりも大きくても小さくてもかまわない。また、はんだバリア層7の幅および長さは、はんだ層8の幅および長さよりも大きくても小さくてもかまわない。

【0021】図1および2に示した半導体装置においては、サブマウント3を構成する基板4の材料として、セラミック、半導体、あるいは金属を用いてもよい。基板4を構成する材料としてのセラミックとしては、たとえば上述した窒化アルミニウム(AIN)、酸化アルミニウム(Al₂O₃)、炭化ケイ素(SiC)、窒化ケイ素(Si₃N₄)などを主成分としたものを挙げることができる。また基板4を構成する材料としての半導体としては、たとえばシリコン(Si)を挙げることができる。また基板4を構成する材料としての金属としては、たとえば銅(Cu)、タングステン(W)、モリブデン(Mo)、鉄(Fe)およびこれらを含む合金ならびに複合

材料を用いることができる。

【0022】基板4としては、熱伝導率の高い材料を用いることが好ましい。基板4の熱伝導率としては、好ましくは100W/mK以上であり、より好ましくは170W/mK以上である。また、基板4の熱膨張係数は、レーザーダイオード2を構成する材料の熱膨張係数に近似していることが好ましい。たとえば、レーザーダイオード2を構成する材料としてガリウム砒素(GaAs)あるいはインジウムリン(InP)などを用いる場合、基板4の熱膨張係数は、好ましくは $10 \times 10^{-6}/\text{K}$ 以下であり、より好ましくは $5 \times 10^{-6}/\text{K}$ 以下である。

【0023】基板4としてセラミックを用いた場合、基板4の上面とその上面に対向する下面との間を接続するようなスルーホールあるいはその内部に導体(ピアフィル)が充填されたピアホールが形成されていてもよい。ピアホールに充填される導体(ピアフィル)の主成分としては、望ましくは高融点金属、特にタンクスチン(W)やモリブデン(Mo)を用いることができる。なお、上述の導体としては、タンクスチンやモリブデンなどの金属導体にさらにチタン(Ti)などの遷移金属、あるいはガラス成分や基板4を形成する基材の材料(たとえば塗化アルミニウム(AlN))が含まれていてもよい。

【0024】また、基板4の平面度は $5 \mu\text{m}$ 以下であることが好ましく、より好ましくは $1 \mu\text{m}$ 以下である。平面度が $5 \mu\text{m}$ を超える場合、レーザーダイオード2の接合時にサブマウント3とレーザーダイオード2との間に隙間が発生し、レーザーダイオード2を冷却する効果が低下することがある。なお、平面度とは平面形体の幾何学的に正しい平面からの狂いの大きさを言い、JIS規格(JIS B 0621)に規定されている。

【0025】また、Ti/Pt積層膜5を構成するTi膜(チタン(Ti)を含む膜)は、基板4の上部表面に接触するように形成された、基板4との密着性が良好な材料からなるいわゆる密着層である。この密着層を構成する材料としては、たとえば、上述したチタン(Ti)、さらにクロム(Cr)、ニッケルクロム合金(NiCr)、タンタル(Ta)、およびこれらの化合物を用いることができる。

【0026】また、Ti/Pt積層膜5を構成する白金(Pt)膜は、Ti膜の上部表面上に形成されたいわゆる拡散防止層である。拡散防止層の材料としては、たとえば、上述した白金(Pt)、さらにパラジウム(Pd)、ニッケルクロム合金(NiCr)、タンクスチンチタニウム(TiW)、ニッケル(Ni)、モリブデン(Mo)などを用いることができる。また、Au膜6はいわゆる電極層であって、通常はAuを主成分とした膜が用いられる。

【0027】はんだバリア層7の材料としては、たとえば、白金(Pt)、ニッケルクロム合金(NiCr)、

ニッケル(Ni)などを用いることができる。また、はんだ層8の材料としては、たとえば、金錫(AuSn)系はんだ、金ゲルマニウム(AuGe)系はんだ、鉛錫(PbSn)系はんだ、インジウム錫(InSn)系はんだ、銀錫(AgSn)系はんだなどの合金はんだ、あるいはこれらの合金はんだもしくは上述の合金はんだを構成する金属の積層体を用いることができる。なお、はんだ層8として金錫(AuSn)系はんだを用いる場合、その組成比としては金(Au)が65質量%以上85質量%以下あるいは金(Au)が5質量%以上20質量%以下であることが好ましい。

【0028】なお、上述のTi/Pt積層膜5、Au膜6、はんだバリア層7およびはんだ層8を、以下メタライズ層ともいう。そして、これらのメタライズ層の形成方法としては、従来用いられる成膜方法を適宜用いることができる。具体的には、上述のメタライズ層の形成方法として、蒸着法、スパッタリング法などの薄膜形成方法、あるいはめっき法などを用いることができる。また、上述のTi/Pt積層膜5、Au膜6、はんだバリア層7およびはんだ層8を、所定のパターンを有するよう形成するパターニング方法としては、フォトリソグラフィを用いたリフトオフ法、化学エッチング法、ドライエッティング法や、メタルマスク法などを用いることができる。

【0029】上述のTi/Pt積層膜5を構成する密着層としてのチタン(Ti)膜5bの厚さは、好ましくは $0.01 \mu\text{m}$ 以上 $1.0 \mu\text{m}$ 以下である。Ti/Pt積層膜5を構成する拡散防止層としての白金(Pt)膜5aの厚さは好ましくは $0.01 \mu\text{m}$ 以上 $1.5 \mu\text{m}$ 以下である。電極層としてのAu膜6の厚さは好ましくは $0.1 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下である。はんだバリア層7の厚さは好ましくは $0.01 \mu\text{m}$ 以上 $1.5 \mu\text{m}$ 以下である。はんだ層8の厚さは好ましくは $0.1 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下である。

【0030】本発明の半導体発光素子とは、たとえばレーザーダイオードや発光ダイオードのようなものを指す。その半導体材料としては、たとえば、GaAs半導体あるいはInP半導体、すなわち、III-V族化合物半導体であってもよく、また、上面発光型もしくは下面発光型のいずれでもよい。なお、図1のレーザーダイオード2として、下面発光型(レーザーダイオード2とはんだ層8との接合部に対向するレーザーダイオード2の側面側においてレーザーダイオード2の発光部が形成されている方式)を用いた場合、発熱部である発光部が基板4により近い位置に配置されることから、半導体装置1の放熱性をより向上させることができる。

【0031】レーザーダイオード2の表面にはシリコン酸化膜(SiO₂)などの絶縁層および金(Au)などの電極層といったメタライズ層が形成される。電極層としての金(Au)層の厚さは、はんだ層8との良好な湍

れ性を確保するために、0.1 μm以上10 μm以下であることが好ましい。

【0032】なお、図1に示した半導体装置1は、ヒートシンクにはんだなどを用いて接続されていてもよい。具体的には、基板4においてTi/Pt積層膜らが形成された表面とは反対側に位置する裏面上に密着層、拡散防止層などを形成した後、基板4の裏面側にシート状のはんだを介してヒートシンクを配置する。ヒートシンクと基板4とは、基板4の裏面側に配置された上記はんだにより接続・固定される。なお、ヒートシンクと基板4とを接合するためのはんだについては、上記のようなシート状のはんだ（はんだ箔）を用いてもよいし、あらかじめヒートシンクの表面上にはんだを配置しておいてもよい。また、あらかじめ基板4の裏面のメタライズ層上にはんだ層を形成してもよい。その場合は、レーザーダイオード2とヒートシンクを同時に基板4に接合することが好ましい。

【0033】ヒートシンクの材料としては、たとえば金属あるいはセラミックなどを用いることができる。ヒートシンクを構成する金属としては、たとえば鋼(Cu)、タンクステン(W)、モリブデン(Mo)、鉄(Fe)、これらの金属を含む合金および複合材料を用いることができる。なお、ヒートシンクの表面にはニッケル(Ni)、金(Au)およびこれらの金属を含む膜を形成するのが好ましい。これらの膜は、蒸着法やめっき法で形成することができる。ヒートシンクの熱伝導率は高いことが好ましい。ヒートシンクの熱伝導率としては、好ましくは100W/mK以上である。

【0034】次に、図1に示した半導体装置の製造方法を、塗化アルミニウム焼結体を基板とした場合を想定して説明する。図2は、図1に示した半導体装置の製造方法を説明するための断面模式図である。

【0035】まず第1工程として基板を製造する。基板のサイズとしては、たとえば幅を50mm、長さを50mm、厚さを0.4mmとすることができる。このように、サブマウント3の基板4よりサイズの大きな基板を準備して、その基板の表面に必要な構造を形成し、当該基板を後述する切断工程で切断、分割することにより、サブマウント3を得ることができる。サブマウント3の基板4となるべき基板は、通常の基板製造方法に基づいて作製される。基板4の材料としては塗化アルミニウム(AIN)焼結体を用いる。塗化アルミニウム焼結体のようなセラミックからなる基板4の製造方法としては、通常のセラミック構造体の製造方法を適用することができる。

【0036】次に、第2工程として、第1工程である基板製造工程において製造した塗化アルミニウム焼結体からなる基板の表面を研磨する。ここで、基板4となるべき塗化アルミニウム基板の表面粗さがRaで0.10μm以下、より好ましくは0.05μm以下となるまで研

磨を行なうのが望ましい。研磨方法としては、たとえば、研磨方法として、研削盤による研磨、サンダブラスト、サンドペーパー等の研磨などの通常の方法を適用することができる。

【0037】次に、図2で示すように、密着層としてのTi膜5b、拡散防止層としてのPt膜5aおよび電極層としてのAu膜6を所定のパターンで形成するため、第3工程としてバーニング工程を行なう。このバーニング工程においては、フォトリソグラフィ法を用いて、Ti膜5b、Pt膜5aおよびAu膜6が形成されるべき領域以外の領域について、基板表面にレジスト膜を形成する。

【0038】次に、第4工程として、密着層を蒸着する。具体的には、密着層としてのTi膜5bとなるべきTi膜を基板表面に蒸着する。このとき形成されるTi膜の厚さはたとえば0.1μmとすることができます。

【0039】次に、第5工程として、密着層としてのTi膜5bとなるべきTi膜上に、拡散防止層としてのPt膜5aとなるべきPt膜を形成する。Pt膜の厚さとしては、たとえば0.2μmという値を用いることができる。

【0040】次に、第6工程として、電極層としてのAu膜6を蒸着法によって形成する。Au膜の厚さとしては、たとえば0.6μmとすることができます。

【0041】次いで、第7工程としてリフトオフ工程を実施する。この工程では、第3工程のバーニング工程において形成したレジスト膜を、レジスト剥離液によって、そのレジスト膜上に位置していたTi膜、Pt膜およびAu膜の一部分をレジスト膜とともに除去する。この結果、基板上に所定のパターンを有するTi膜5b、Pt膜5aおよびAu膜6を形成することができる。

【0042】次に、第8工程としてはんだバリア層7を形成する。ここでは、メタルマスク法を用いて、Au膜6上に白金(Pt)からなるはんだバリア層7を形成する。はんだバリア層7の厚さは0.2μmとする。

【0043】次に、第9工程として、真空蒸着法により、はんだバリア層7上にはんだ層8を形成する。

【0044】はんだ層8を形成する工程において、成膜前雰囲気であるチャンバ内の圧力(到達真空度)を小さくすると、はんだの結晶粒径が小さくなる。到達真空度は 5.0×10^{-4} Pa以下とするのが好ましい。到達真空度が 5.0×10^{-4} Paを超えると、水分や酸素などの不純物ガスがはんだ層中に残存し易くなり、はんだ層8中に、粒径の大きい異物が混入するおそれがある。より好ましくは、到達真空度は 1.0×10^{-4} Pa以下である。

【0045】また、はんだの成膜速度(成膜レート)を変化させることにより、結晶粒径および表面粗さRaを変化させることができる。成膜速度は、0.1nm/秒以上1.0nm/秒以下であることが好ましい。さらに

好ましくは、成膜速度は0、3 nm／秒以上0、7 nm／秒以下である。成膜速度が、0、1 nm／秒未満であれば、核成長が促進され、結晶粒径が大きくなるとともに、表面粗さRaも大きくなる。成膜速度が1、0 nm／秒を超えると、基板温度が上昇し、後述の理由により、結晶粒径が大きくなり易く、その結果、表面粗さRaも大きくなり易い。

【0046】また、基板4の表面温度を変化させることにより、結晶粒径および表面粗さRaを変化させることができる。その温度は、20°C以上150°C以下、さらには20°C以上120°C以下が好ましい。温度が150°Cを超えると、基板温度が上昇し、核成長が促進されることにより、結晶粒径が大きくなるとともに、表面粗さRaも大きくなる。

【0047】なお、所定のパターンを有するはんだ層8の形成方法としては、メタルマスク法あるいは本発明による半導体装置の製造方法の第3工程から第7工程に示したようなフォトリソグラフィ法を用いてもよい。

【0048】次に、第10工程として、上述のように第1工程で準備した基板の表面に所定の構造が形成された後、その基板を切断する切断工程を実施する。この結果、図1に示すサブマウント3を得ることができる。

【0049】次に、第11工程として、半導体発光素子としてのレーザーダイオード2の接合工程を実施する。具体的には、加熱によりはんだ層8を溶融させる。検出手段200が、はんだ層8が溶融したかどうかを画像認識する。具体的には、例えば、検出手段に入射する光の照度の階調を256段階に分け、基板4の最も暗い部分の階調を0とし、Au膜らの最も明るい部分の階調を255とする。はんだ層8から入射光の階調が50を超えた時に、はんだ層8の色を「白」と認識し、はんだ層8が溶融していないと判断する。はんだ層8から入射光の階調が50以下の時に、はんだ層8の色を「黒」と認識し、はんだ層8が溶融したと判断する。このように画像認識の2値化手法により、はんだ層8の溶融のYes, Noを判定する。

【0050】溶融したと判断されたはんだ層8に、レーザーダイオード2を配置する。このようにして、GaAsを用いたチップであるレーザーダイオード2をはんだ層8によってサブマウント3に接合する。このようにして、図1の半導体装置1が完成する。

【0051】以上のような本発明のサブマウントでは、溶融前のはんだ層8の表面8tの表面粗さRaが0、18nmと小さいので、はんだ層8の表面での光の乱反射を小さく抑えることができる。そのため、多くの反射光が検出手段200に入射する。その結果、ダイボンド工程において、検出手段200が溶融前のはんだ層8を「黒」、すなわち溶融状態と誤認する確率を小さく抑えることができるため、はんだ層8が溶融したかどうかをより高い確率でYes, No判定することができる。その結果、レーザーダイオード2をはんだ層の溶融した状態でタイミングよくサブマウント3にはんだづけすることができる。

【0052】

【実施例】（サンプルの作製と評価）以下の手法により、表1および2で示す試料1から30を製造した。試料1から20が実施例に対応し、試料21から30が比較例に対応する。

【0053】

【表1】

試料 No.	区分	はんだ組成	到達真空度 ($\times 10^{-4}$ Pa)	成長速度 (μm/秒)	基板4の温度 (°C)
1	実 施 例	Au:Sn=80:20	0.8	0.5	80
2		Au:Sn=80:20	1.5	0.6	80
3		Au:Sn=80:20	4.0	0.5	80
4		Au:Sn=80:20	0.8	0.2	80
5		Au:Sn=80:20	0.8	0.8	80
6		Au:Sn=80:20	0.8	0.6	50
7		Au:Sn=80:20	0.8	0.5	130
8		Au:Sn=80:20	0.8	0.5	80
9		Au:Sn=80:20	0.8	0.6	80
10		Au:Sn=80:20	0.8	0.5	80
11		Au:Sn=80:20	1.1	0.6	100
12		Au:Sn=80:20	3.0	0.8	130
13		Au:Sn=80:20	3.0	0.8	80
14		Au:Sn=80:20	3.0	0.6	130
15		Au:Sn=80:20	0.8	0.8	130
16		Au:Sn=10:90	0.8	0.6	80
17		Au:Sn=10:90	3.0	0.8	130
18		Au:Sn=10:90	3.0	0.6	80
19		Au:Sn=10:90	0.8	0.2	80
20		Au:Sn=10:90	0.8	0.5	130
21	比 較 例	Au:Sn=80:20	8.0	0.05	170
22		Au:Sn=80:20	6.0	0.6	80
23		Au:Sn=80:20	0.8	0.05	80
24		Au:Sn=80:20	0.8	1.2	80
25		Au:Sn=80:20	0.8	0.5	170
26		Au:Sn=80:20	0.8	0.5	80
27		Au:Sn=80:20	6.0	0.5	80
28		Au:Sn=10:90	5.0	0.5	80
29		Au:Sn=10:90	0.8	1.2	80
30		Au:Sn=10:90	0.8	0.5	170

【0054】

【表2】

試料番号	区分	はんだばり7の有無	主表面4Fの粗さRa(μm)	表面8Fの表面粗さRa(μm)	はんだばり8の平均結晶粒径(μm)	回像顕微鏡品
1	実施例	○	0.04	0.08	1.3	20/20
2		○	0.04	0.12	2.3	19/20
3		○	0.04	0.15	3.0	18/20
4		○	0.04	0.14	2.8	18/20
5		○	0.04	0.13	2.7	19/20
6		○	0.04	0.08	1.2	20/20
7		○	0.04	0.15	3.0	17/20
8		○	0.05	0.11	1.4	19/20
9		○	0.08	0.12	1.3	19/20
10		×	0.04	0.08	1.3	20/20
11		×	0.04	0.13	2.6	18/20
12		×	0.08	0.18	3.4	16/20
13		○	0.04	0.16	3.2	17/20
14		○	0.04	0.17	3.3	16/20
15		○	0.04	0.16	3.2	16/20
16		○	0.04	0.09	1.4	20/20
17		○	0.08	0.17	3.3	17/20
18		○	0.04	0.14	2.7	19/20
19		○	0.04	0.14	2.8	19/20
20		○	0.04	0.15	3.1	18/20
21	比較例	○	0.12	0.32	6.2	0/20
22		○	0.04	0.20	3.8	10/20
23		○	0.04	0.25	4.9	4/20
24		○	0.04	0.22	4.2	7/20
25		○	0.04	0.23	4.5	6/20
26		○	0.12	0.20	1.4	11/20
27		×	0.04	0.21	4.2	8/20
28		○	0.04	0.21	4.1	8/20
29		○	0.04	0.23	4.4	6/20
30		○	0.04	0.23	4.5	5/20

「はんだバリア層？の有無」で、○は、ほんだバリア層？があることを示し、×は、ほんだバリア層？がないことを示す。

【005】まず、基板として、縦×横×厚みが $50\text{ mm} \times 50\text{ mm} \times 0.4\text{ mm}$ の塩化アルミニウム焼結体を準備した。この塩化アルミニウム焼結体の表面を研磨して、主表面 4 f の粗さ R_a を表2で示す値とした。次に、フォトリソグラフィーを用いたリフトオフ法と真空蒸着により、厚みが $0.1\text{ }\mu\text{m}$ のTi膜 5 b と厚みが $0.2\text{ }\mu\text{m}$ のPt膜 5 a と厚みが $0.6\text{ }\mu\text{m}$ のAu膜 6 からなるメタライズ層を形成した。次に、試料1.0から1.2および2.7以外の試料に、厚みが $0.2\text{ }\mu\text{m}$ の白金からなるはんだパリア層 7 をメタルマスク法と真空蒸着でメタライズ層上に形成した。

【0056】その後、すべての試料に対し、厚みが3mmのはんだ層8をメタルマスク法と真空蒸着で形成した。はんだ層8の組成および蒸着の条件は表1に示した通りである。表1中の「はんだ組成」は、はんだ層8を構成する元素の質量比を示す。さらに、基板4を切断することにより、縦×横×厚みが1.2mm×1.5mm×0.3mmのサブマウントを、それぞれの試料1から30について、20個ずつ作製した。そして、それぞれの試料について、レーザーダイオード2をはんだづけするときに、検出手段200を用いた画像認識が成功した割合を調べた。その結果も表2に示されている。

【0057】表2中、「画像認識良品」とは、はんだ層8が溶融したと検出手段200が判断した場合に、実際にははんだ層8が溶融していた試料の数量割合をいう。この割合が1に近いほど、検出手段200が繰り返し実態に即しある層8の溶融を検出できた確率が高いことを意味する。表2に示した結果より、本発明による半導体装置1(図1参照)を構成するサブマウント3においては、この確率を高めるためには、はんだ層8の表面8fの表面粗さRaは0.18μm以下であり、好ましくは、表面8fの表面粗さRaは0.15μm以下であり、さらに好ましくは、表面8fの表面粗さRaは0.10μm以下であることがわかる。さらに、同じ理由ではんだ層8を構成するはんだの平均粒径は、好ましくは3.5μm以下、さらに好ましくは2.0μm以下であること、さらに、基板4の主表面4fの表面粗さRaは、好ましくは0.10μm以下、さらに好ましくは0.05μm以下であることもわかる。

【0058】(階調の具体的データ)本発明の実施例である試料1について、検出手段200がサブマウント基板としての基板4、溶融前のはんだ層8およびAu膜上で反射した光の強度(照度)を測定した。その結果の一部を図3に示す。

【0059】図3の縦軸は、反射光の照度を256階調で示す。横軸は、サブマウント上での位置を示し、たとえば「4」、「8」および「6」は、それぞれ、図1および2の基板4、はんだ層8およびAu膜6での反射光の強度を示す。

【0060】図3より、本発明では、はんだ層8での反射光の強度が大きいため、検出手段200は、はんだ層8を溶融前の状態と認識しやすい。

【0061】また、比較例である試料21について、検出手段200が基板104、溶融前のはんだ層108およびAu膜106で反射した光の強度（照度）を測定した。その結果の一部を図4に示す。

【0062】図4の縦軸は、反射光の照度を256階調で示す。横軸は、サブマウント上での位置を示し、たとえば「104」、「108」および「106」は、それぞれ、図5および6の基板104、はんだ層108およびAu膜106での反射光の強度を示す。

【0063】図4より、比較例の試料21では、はんだ層108での反射光の強度が小さいため、検出手段200は、はんだ層8を溶融前の状態と正常に認識することが困難である。

【0064】今回開示された実施の形態および実施例はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した実施の形態および実施例ではなくて特許請求の範囲によって示さ

れ、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0065】

【発明の効果】このように、本発明によれば、検出手段を用いてはんだ層の溶融を認識することにより、半導体発光素子を確実に搭載することができる半導体装置を得ることができる。

【図面の簡単な説明】

【図1】 本発明による半導体装置の実施の形態1を示す断面模式図である。

【図2】 図1に示した半導体装置の製造方法を説明するための断面模式図である。

【図3】 試料1に従ったサンプルの階調特性を示すグラフである。

【図4】 試料21に従ったサンプルの階調特性を示すグラフである。

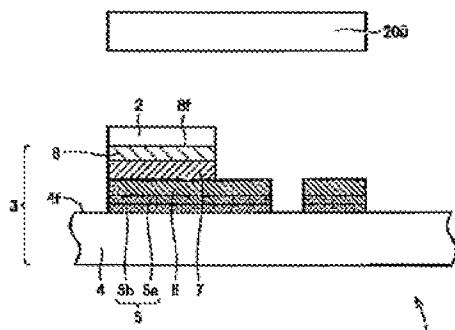
【図5】 従来の半導体装置の製造方法の第1工程を説明するための断面模式図である。

【図6】 従来の半導体装置の製造方法の第2工程を説明するための断面模式図である。

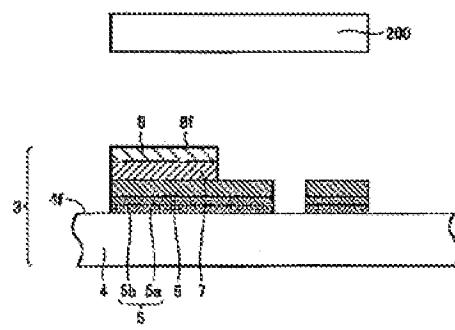
【符号の説明】

1 半導体装置、2 レーザーダイオード、3 サブマウント、4 基板、4f 主表面、5 Ti/Pt積層膜、5a Pt膜、5b Ti膜、6 Au膜、7 はんだバリア層、8 はんだ層、8f 表面。

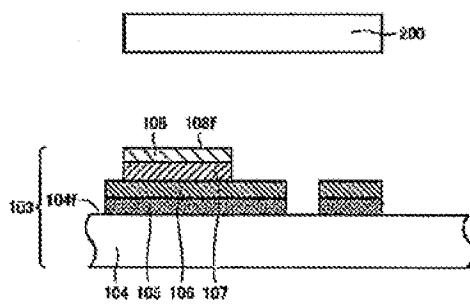
【図1】



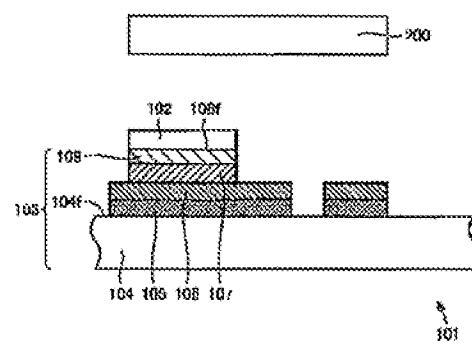
【図2】



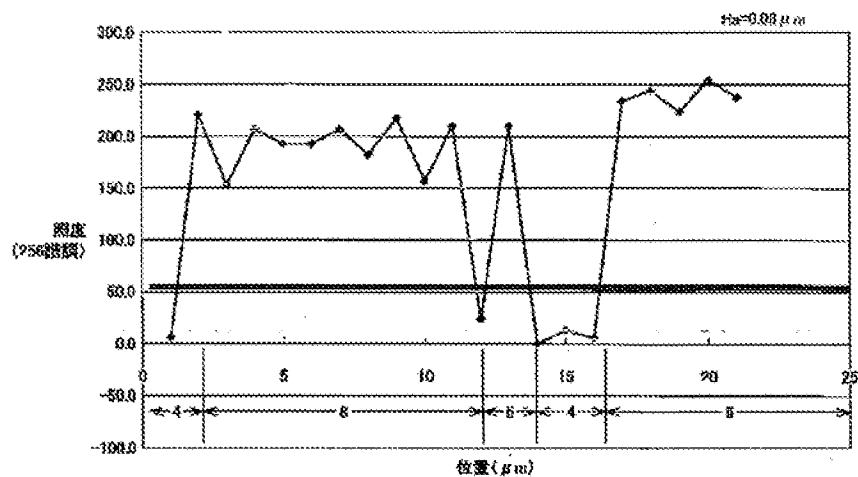
【図5】



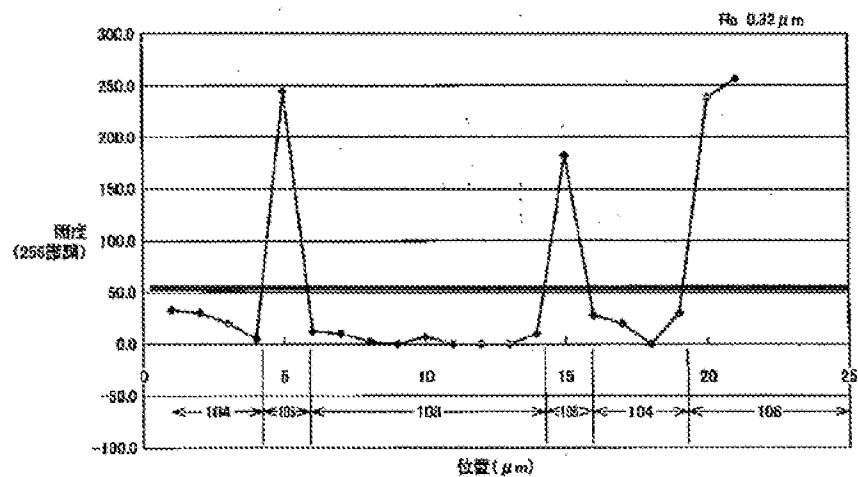
【図6】



【図3】



【図4】



フロントページの続き

(72)発明者 桜垣 賢次郎
兵庫県伊丹市昆陽北一丁目1番1号 住友
電気工業株式会社伊丹製作所内

(73)発明者 筑本 保志
兵庫県伊丹市昆陽北一丁目1番1号 住友
電気工業株式会社伊丹製作所内
Fターム(参考) 5F041 AA41 DA03 DA34
5F073 RA29 RA15 RA22 RA30